



Researcher 박준희, 전자공학과 (edpoa0828@ajou.ac.kr)  
정연재, 전자공학과 (yjj1031@ajou.ac.kr)  
황어진, 전자공학과 (huj0601@ajou.ac.kr)

### ABSTRACT

- 반도체 산업은 PPA (Power down – Performance up – Area down)을 중심으로 하여 지속적으로 발전하였다. 기업 입장에서는 Scaling down으로 소자의 size를 줄여 동일 Wafer에 더욱 많은 die를 넣는 것이 cost 측면에서 이득이 된다. 또한, 소비자 및 고객사 입장에서는 기존보다 더욱 빠른 전자제품을 원하므로 이를 위해 High Performance를 추구하게 된다.
- Speed up을 위하여 Delay 식에서 Gate oxide thickness를 조절해 On current parameter를 증가시키게 된다. 이를 통해 Delay time은 감소하게 되지만 기존보다 thickness가 감소하게 되어 threshold voltage와 leakage current에 영향을 주게 된다.

### OBJECTIVES

- Silvaco simulation tool을 이용하여 On current를 기존의 1.5배로 증가시키는 최적의 Gate oxide thickness를 찾아낸다.
- Gate oxide thickness 감소로 Threshold voltage 또한 감소하게 되므로 Threshold voltage adjustment 공정을 진행한다. 공정 조건은 Silvaco를 통해 기존과 동일한 Threshold voltage를 만드는 doping concentration을 찾아낸다.

### METHODOLOGY

#### 1. Increasing ON Current

$$I_D = \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2$$

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}}$$

Control Oxidation time

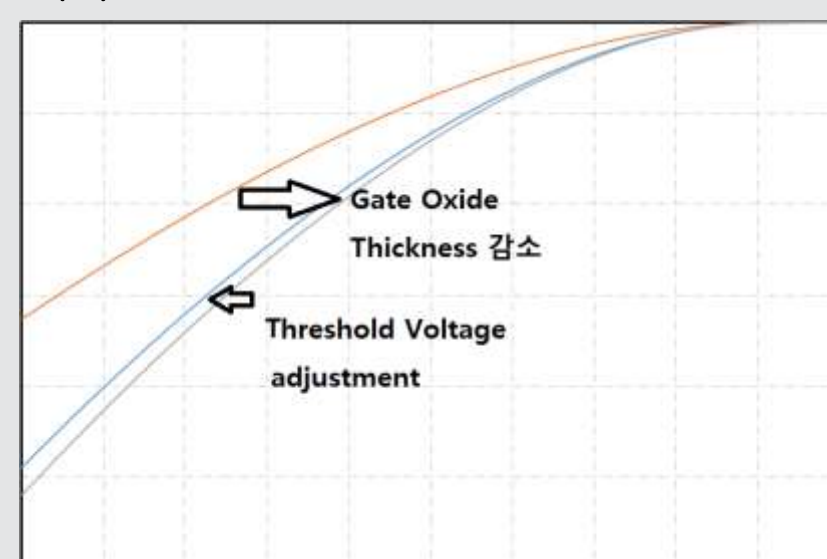
- ON Current를 1.5배 증가시키기 위해 Gate Oxide Thickness를 조절

$$V_T = V_{FB} + 2\phi_F + \frac{\sqrt{4\epsilon_s q N_a \phi_F}}{C_{ox}}$$

- Gate Oxide Thickness가 줄어들면 Threshold voltage가 감소하기 때문에 Threshold voltage adjustment 공정을 통해 이를 보완

#### 2. Gate Oxide thickness & Vth adjustment

##### (1) Gate Oxide thickness & Oxidation time 설정

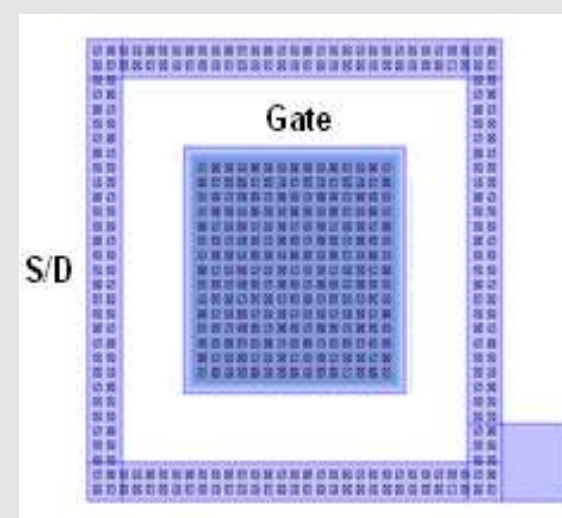
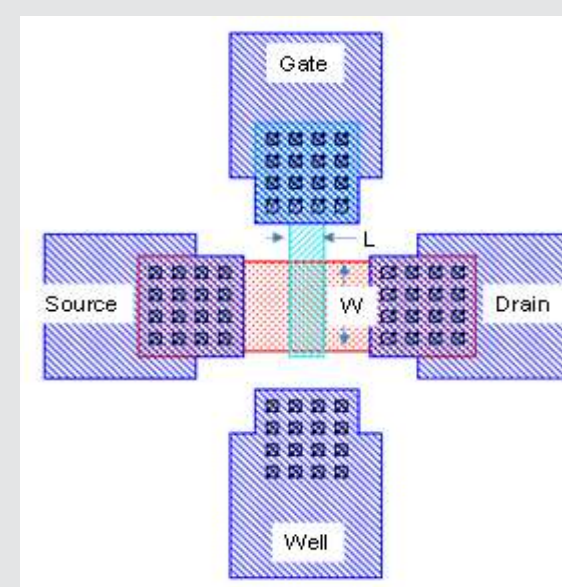


- Silvaco simulation Oxide Thickness = 320Å
- Deal groove model Oxidation Time = 10min

##### (2) Threshold voltage adjustment

Process	Condition
N-Well Fromation (IIP)	Phos dose=3e12 Energy=70keV
Threshold voltage adjustment	BF2 dose=2e12 Energy=60keV

#### 3. Data Measurement



- Measurement tool : Agilent 4155C

Terminal	Mode	FNCT	Remark
Gate	Voltage	Sweep	VAR1
Drain	Voltage	Step	VAR2
Source	Common	Constant	
Body	Common	Constant	

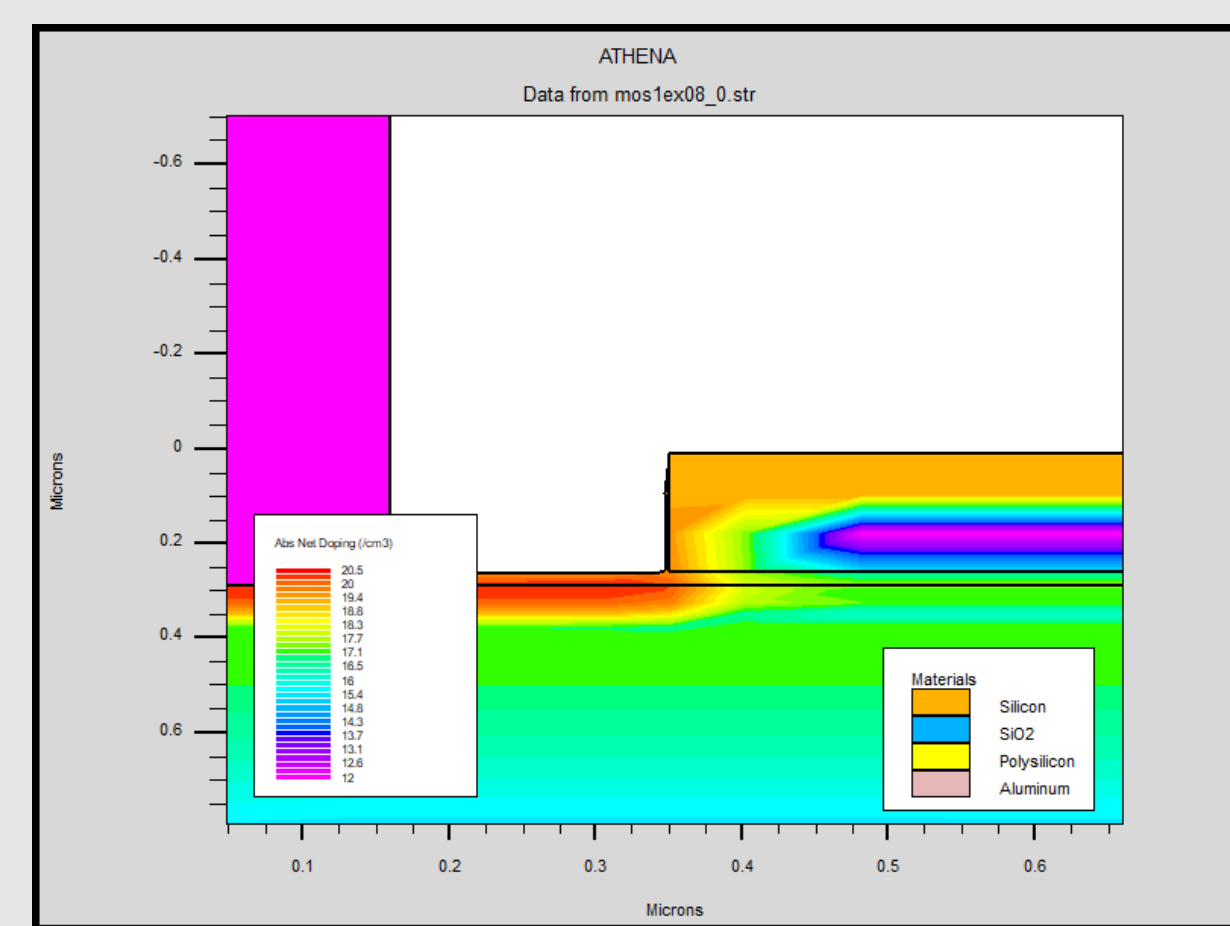
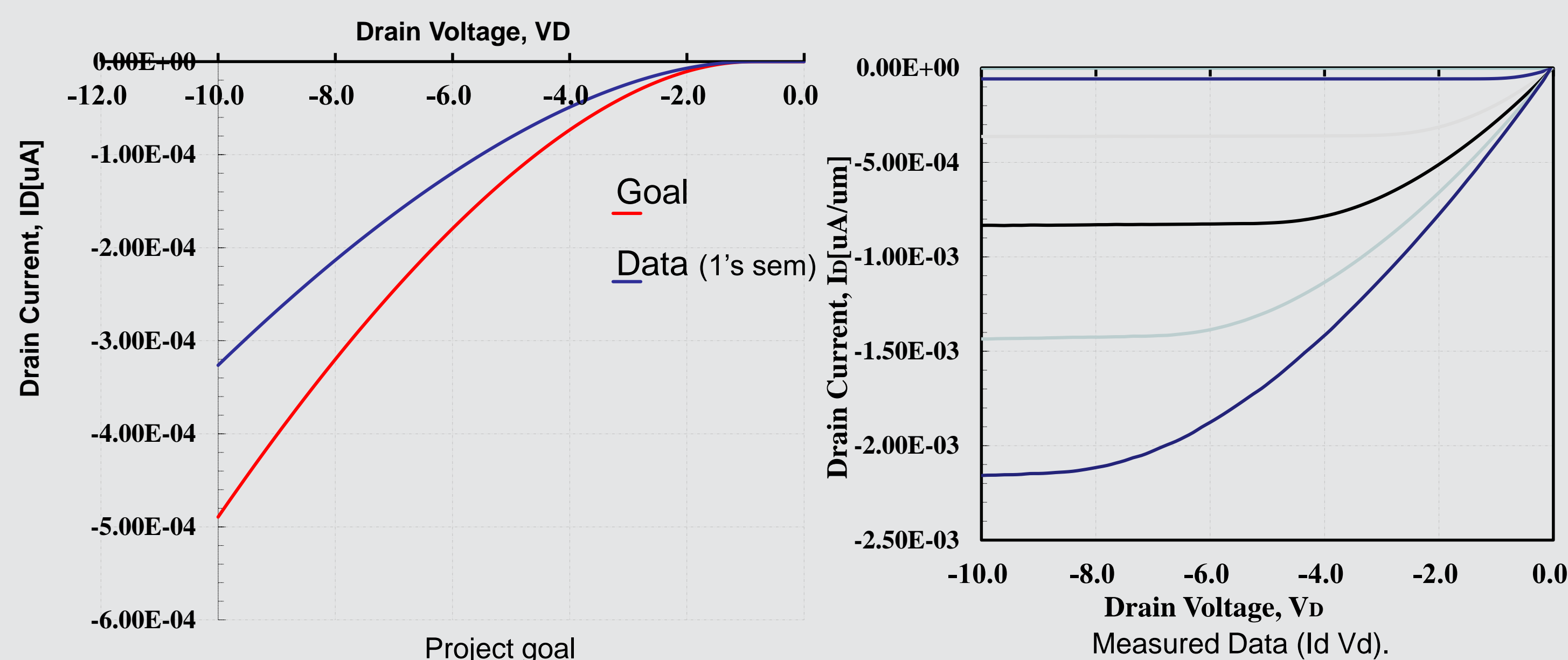
- Extracted Parameters:  
ON Current, Threshold voltage

- Measurement tool : Agilent 4280

Terminal	Mode	FNCT	Remark
Gate	Voltage	Sweep	Constant; • Freq. • OSC Voltage
Body & S/D	Common	Constant	

- Extracted Parameters:  
Threshold voltage

### RESULTS



Silvaco Simulation

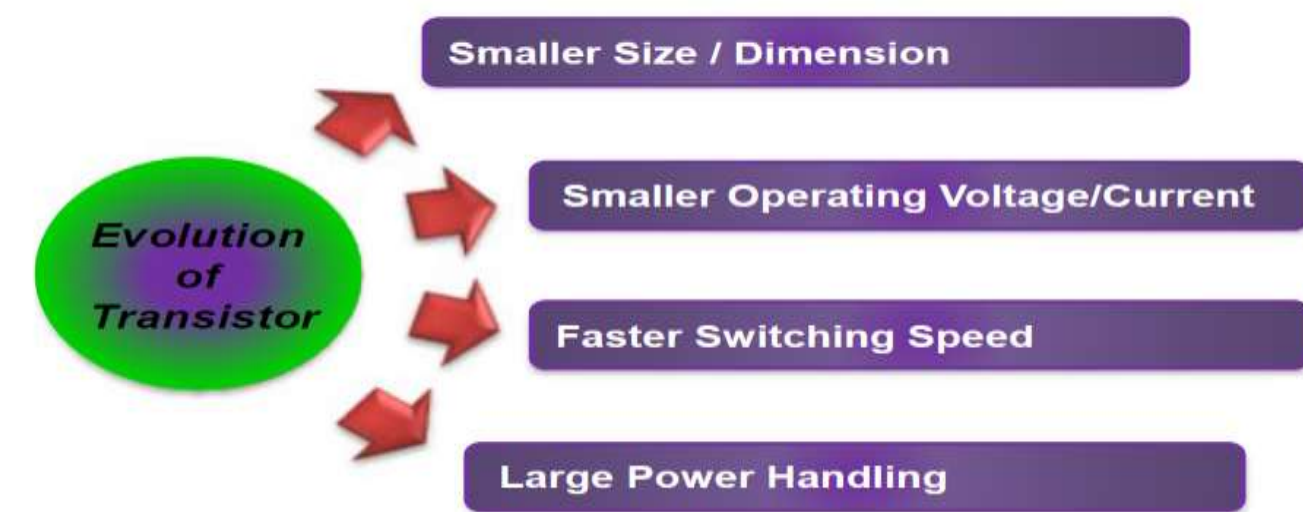
### CONCLUSIONS

- 이 설계는 이전 학기에 시행한 공정 데이터를 바탕으로 MOSFET의 On current를 증가시키는 것을 목적으로 하여 SILVACO Simulation을 통해 공정 조건을 구하였다.
- SILVACO Simulation을 바탕으로 공정을 진행하였으나, 공정 상 문제가 발생하여 Gate Oxide가 약 200Å 두께가 되는 문제가 발생하였다. 이전 데이터의 Threshold Voltage를 유지하기 위해 Vth adjustment를 진행하여 이전보다 낮은 On current를 보였으나, 이를 바탕으로 시뮬레이션에 보정한 결과 성공적인 결과를 얻을 수 있었다.
- 향후 연구에서는 공정상 발생할 수 있는 오류를 고려하여, 공정에 보정을 가하여 안정적인 수율을 가지는 유동적인 방식을 취하는 것을 고려해야 할 것이다.

Professor 이종욱, 전자공학과

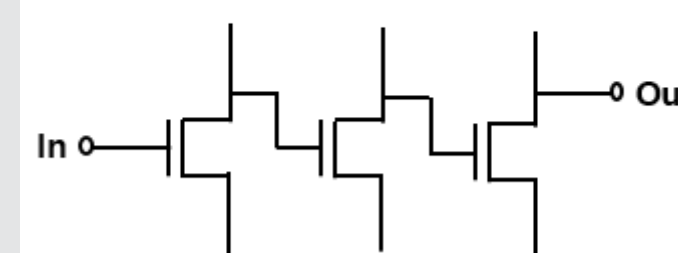
### 위치 인식 기술

#### Motivation of Transistor Evolution



Transistor의 발전방향

$$Delay = RC + \frac{CV_{DS}}{I_{DS}}$$



- Transistor의 delay를 감소시켜 Speed UP이 가능하다.

- Delay를 ON current 증가를 통해 감소시킬 수 있다.

#### Project result

	Project Goal	Measured Data	Modified Data
On-current (uA/um)	9.849	3.65	9.58

#### 1. Simulation 값과 결과 값의 비교

- (1) Gate oxide 공정으로 인한 문제 발생  
목표로 한 Gate oxide 두께보다 약 200Å 두께가 됨.
- (2) Nitride Etching 공정에서 고르게 깎이지 않아, Oxide 두께의 산포가 넓어짐

#### 2. Simulation 보정

1학기 데이터에서 Threshold Voltage를 유지하기 위해, Well Doping을 진행하였으나, Gate Oxide가 더 많이 쌓여 On-current가 감소함. 이를 SILVACO Simulation으로 보정한 결과, 프로젝트 목표와 비슷한 결과를 얻을 수 있음.